

光通信システム用超高速集積回路技術

1. はじめに

近年のインターネットの普及による情報通信トラフィックの急速な増大により、光ファイバ通信システムの大容量化への要求が高まっており、近い将来には基幹系ネットワークにおいてテラビット級の伝送容量が必要となる。1本の光ファイバで伝送する情報量を増やすためには、光の波長領域での多重度を増加させる方法と時間領域での多重度を増加させる方法の2とおりがある。システムの信頼性、経済性の観点から電気による時間領域での多重化システム(ETDM: Electrical Time-Division Multiplexing)が有効であると考えられており、高速ETDMをベースとした波長多重システムはテラビット級システムを実現する上で有力な候補である。現在までに10Gbit/sのETDMシステムが実用化されるに至っているが、さらなる高速化のためには高速な電子デバイス技術および集積回路技術が必要となる。

本稿では次世代40 Gbit/s ETDM光通信システム用超高速集積回路技術について紹介する。

2. 光送受信器構成

図1に光送受信器の基本構成を示す。光送受信器は光源であるレーザダイオード(LD)、電気信号を光信号に変調する光変調器(MOD)、変調器を駆動するドライバ回路(DRV)、低速入力信号を高速信号へ多重するための多重化回路(MUX)により構成される。一方、光受信器は受信光信号を電気信号に変換するフォトダイオード(PD)、ファイバ中で減衰した信号を増幅するプリアンプ(Pre)とベースバンドアンプ(Base)からなる等化増幅部、伝送されたデータ信号からクロック信号を抽出する排他的論理和回路(EXOR)、共振器(RES)、リミッティングアンプ(Limit)および分周器(DIV)からなるクロック抽出部、抽出されたクロック信号を用いて伝送された信号の1あるいは0状態を判別する識別回路(DEC)、高速信号を低速信号へ分離するための分離回路(DEMUX)、および信号を各ブロックに分配する分配回路(Dist)により構成される。今回、図1に示した部品について0.1 μmゲート長

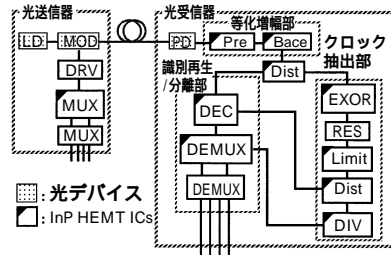


図1 光送受信器の基本構成

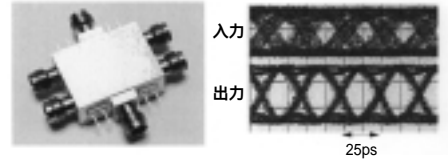


図2 識別回路モジュールと40 Gbit/s動作波形

表1 光通信用InP HEMT IC性能一覧

| 回路品種 | 動作速度あるいは利得/帯域 | 出力 | 実装 | 消費電力 |
|-----------|-------------------|---------|----------|--------|
| 2:1 MUX | 70 Gbit/s | 1.0 Vpp | Package | 2.1 W |
| 1:2 DEMUX | 1~50 Gbit/s | 0.8 Vpp | Package | 2.8 W |
| DEC | 20~50 Gbit/s | 0.9 Vpp | Package | 1.7 W |
| DIV | 8~50 GHz | 0.8 Vpp | Package | 1.1 W |
| EXOR | 40 GHz クロック抽出 | 0.9 Vpp | Package | 1.7 W |
| Base | 10 dB/DC 90 GHz | 1.2 Vpp | on Wafer | 0.86 W |
| Dist | 2.5 dB/DC 100 GHz | 0.5 Vpp | on Wafer | 1.1 W |
| Limit | 17 dB/34 40 GHz | 10 dBm | on Wafer | 70 mW |

InP HEMT(High Electron Mobility Transistor)を用いて集積回路を開発した。

3. 0.1 μmゲート長InP HEMTを用いた超高速集積回路技術

InP系HEMTはInP基板上に格子整合するInAlAs/InGaAsヘテロ接合により構成される。チャネル層にはInGaAs層を用い、電子供給層にはSiをドープしたInAlAs層を用いている。さらに、トランジスタのしきい値電圧の高均一化のためにInPエッチストップ層を導入している。ゲートは上層にTiPtAu、下層にWSiNを用いたT型ゲートであり、0.1 μmパターンを電子線描画により形成している。代表的な特性としてしきい値 650mV(標準偏差30mV)、相互コンダクタンス $g_m = 1$ S/mm、電流利得遮断周波数 $f_T = 195$ GHzが得られている。

光通信システムにおいては直流近傍から40Gbit/sという高周波領域にわたり、振幅特性、位相特性の双方において平坦な応答特性が要求される。等化増幅部のアナログ回路については分布型回路設計手法を導入し、回路を広帯域化している。

また、多重、識別再生、分離動作を行うデジタル回路においては高速動作に適したSCFL(Source Coupled FET Logic)回路構成を採用している。特に動作速度的に厳しくなる識別回路においては、従来回路構成に対して速度性能を2倍程度高速化できるダイナミック型回路構成を導入している。これら集積回路はいずれも独自に開発した50 GHz帯高速ICパッケージに実装した。図2にパッケージ実装された識別回路とその40 Gbit/sでの動作波形を示す。劣化した入力信号に対して良好な識別動作が実現できていることがわかる。表1にこれまでに開発したInP HEMT ICの性能をまとめた。すべてのICについて40 Gbit/sの要求速度に対して十分な速度マージンを有している。今後、本InP HEMT ICの実用化および40 Gbit/s ETDMを基本としたテラビット級光通信システムの実現が期待される。

(原稿受付 2000年11月16日)

〔村田 浩一 NTTフォトニクス研究所〕